

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-006875

(43)Date of publication of application : 12.01.1988

(51)Int.Cl.

H01L 29/72  
H01L 27/06  
H01L 27/10  
H01L 29/205  
H01L 29/48

(21)Application number : 61-149504

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.06.1986

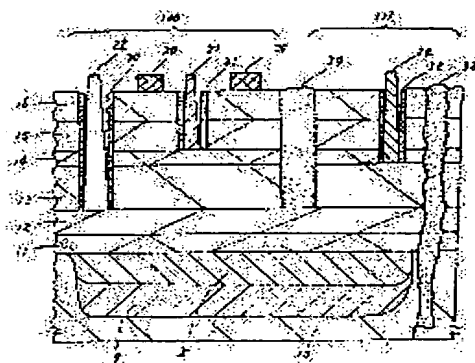
(72)Inventor : USAGAWA TOSHIYUKI  
UMEMOTO YASUNARI  
NAKAZATO KAZUO  
HIRUMA TAKEYUKI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To prevent a soft error from being produced by alpha rays by forming a p-n junction semiconductor layer between both the collector layer and SBD portion of an HBT and a substrate.

**CONSTITUTION:** After Si ions are selectively implanted in a semiinsulative GaAs substrate 10 by using a photo resist as a mask, annealing is performed and the Si ions are activated to form an n-type buried layer 9. Then, Be ions are selectively implanted in a position wherein Si ions are implanted by using the photo resist and annealing is performed to activate the Be ions and form a P-type buried layer 8 whereby a p-n junction is formed. The layers 8 and 9 are so formed as to cover at least the n-type collector layer 12 of an HBT 100, an SBD 101 and the connecting portion of the collector layer 12 and the SBD 101 in a planer fashion. Thus, a soft error rate due to alpha rays is reduced as compared with conventional memory cells.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-6875

⑬ Int. Cl.<sup>4</sup>

H 01 L 29/72  
27/06  
27/10  
29/205  
29/48

識別記号

1 0 1  
4 9 1

庁内整理番号

8526-5F  
B-7925-5F  
8624-5F  
8526-5F  
D-7638-5F

⑭ 公開 昭和63年(1988)1月12日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭61-149504

⑰ 出 願 昭61(1986)6月27日

⑱ 発 明 者 宇 佐 川 利 幸 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑲ 発 明 者 梅 本 康 成 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑲ 発 明 者 中 里 和 郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑲ 発 明 者 比 留 間 健 之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 少なくとも1つの半導体素子と、該半導体素子の底部を構成する第1の半導体層と反対の導伝型を有しかつ該第1の半導体層の下部に設けられた第2の半導体層と、該第1の半導体層と同じ導伝型を有しかつ該第2の半導体層の下部に接するように設けられた第3の半導体層とを有することを特徴とする半導体装置。

2. 前記半導体素子は、バイポーラ・トランジスタであり、前記第1の半導体層はコレクタ層であることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 前記半導体素子は、ショットキーバリアダイオード(SBD)であることを特徴とする特許請求の範囲第1項記載の半導体装置。

4. 前記第1の半導体層と前記第2の半導体層との間には、不純物濃度が $10^{15} \text{ cm}^{-3}$ 以下である

第4の半導体層が形成されていることを特徴とする特許請求の範囲第1項ないし第3項記載の半導体装置。

5. 前記第2の半導体層と前記第3の半導体層の少なくとも一方には、担体を制御する電極が形成されていることを特徴とする特許請求の範囲第1項ないし第4項記載の半導体装置。

6. 前記第2の半導体層および第3の半導体層は基板内に選択的に形成されていることを特徴とする特許請求の範囲第1項ないし第5項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に係り、特にα線ソフトウェア対策に好適な半導体装置に関する。

(従来の技術)

従来、砒化ガリウム(GaAs)、砒化アルミニウムガリウム(AlGaAs)ヘテロ接合を用いたヘテロ接合バイポーラトランジスタ(Hetero Bipolar Transister, HBTと略す)は文献ブ

ロシーディング・ガリウム・ヒソ・アイ  
・シー・シンポジウム、1985年、アイ・イー  
・イー・イー、99ページ (GaAs IC  
Symposium, 1985, IEEE, P.99) に  
みられる様に、分子線エピタキシー (Molecular  
Beam Epitaxy, MBE) 法を用いて、半絶縁性  
GaAs基板上にn型コレクタ層、p型ベース層、  
n型エミッタ層と順次結晶成長後、電極加工等の  
プロセスを経て、所望の構造を得ていた。

〔発明が解決しようとする問題点〕

発明者らは、上記従来技術を用いて1~16K  
ビット、スタティック・ランダムアクセスメモリ  
(1~16K SRAM) を通常のECL  
(Emitter Coupled Logic: 電流切り換え型ロ  
ジック) 回路を用いてショットキー・バリア・ダ  
イオード (SDD) 負荷切換型メモリセルで構成  
したところ、主としてSRAMパッケージから出  
る数メガエレクトロン・ボルト (数MeV) の $\alpha$   
線粒子のために、メモリに保持されていた記憶の  
一部が消えてしまう。 $\alpha$ 線ソフトエラーの問題が

空乏層内に存在する電界により、電子はコレクタ  
層内に引き寄せられる。

一方、正孔はポテンシャルバリアにより反発さ  
れる。

ところでn型コレクタ層はメモリセル記憶電位  
を保持するノードであるから、オフ側トランジス  
タのコレクタの場合、オン側のトランジスタのベ  
ース電位が低下し、オントランジスタはオフへと  
向う。これが、情報破壊の主要な機構である。

又、実際のメモリセルでは、トランジスタ以外  
に抵抗、SBD等を含んでいるので、トランジス  
タ以外の部分に $\alpha$ 線による雑音電流が流入し、そ  
れがメモリセル・トランジスタのコレクタ電位に  
影響を与えている場合も考えられる。

即ち、HBTを実際のSRAMに適用する場合、  
何らかの $\alpha$ 線ソフトエラー対策を行なう必要性が  
生じてきた。

本発明の目的はHBT等の半導体素子を実際の  
SRAM等に対応する際に $\alpha$ 線によるソフトエラ  
ーを防止することである。

SiにおけるMOS (Metal Oxide Semi  
Conductor) FETによるSRAM、或いはSi  
-バイポーラ・トランジスタを用いるSRAMの  
時と同様に<sup>生じ</sup>ることを発見した。

ソフトエラーの原因を解析した結果、次の事実  
が明らかとなった。

パッケージ等から放出される数MeVの $\alpha$ 線は  
表面から数10 $\mu$ m異常後停止し、大略10<sup>10</sup>個  
程度の電子・正孔対を生成する。しかも電荷対の  
発生の割合は、入射直後の高エネルギー時より  
Ga, As原子との衝突によりエネルギーを失っ  
た停止直前の方が多いことはSiの場合と同様で  
ある (たとえば、D.S. Yaney 他1, IEEE  
ED 26, No. 11977, pp. 10~16を見  
よ)。

即ち、 $\alpha$ 線による発生電荷の大部分は半導体素  
子が形成されている半絶縁性GaAs基板内に生じ  
る。これら基板内で発生した電荷対はそれぞれ拡  
散で広がっていくが、半絶縁性GaAs基板とn型  
コレクタとの間で生じている空乏層に達すると、

〔問題点を解決するための手段〕

上記目的は、npn型HBTの場合にはコレク  
タ層と半絶縁性GaAs基板の間にp-n接合を有  
するGaAsを挿入すること及び、SBD (ショッ  
トキー・バリア・ダイオード) 下方にもp-n接  
合を有する半導体層を挿入することで達成できた。  
通常このp-n接合は逆バイアスを印加してメモ  
リセルに用いる。上記p-n接合は、イオン注入  
法等でGaAsウェーハ内に選択的に形成してもよ  
い。又、pnp型HBTの場合には、n-p接合  
を逆バイアスにしてコレクタ層と基板の間に挿入  
する。

〔作用〕

係る構成を採用することで、 $\alpha$ 線により基板内  
に形成された電子・正孔対はコレクタ或いは  
SBDに流入することがなくなる。即ち、電子は  
p-n接合のn層中に吸収され、外部に形成した  
電極 (n型層に接続) から外部に取り出される。  
一方、正孔はn型層と半絶縁性基板との弱いポテ  
ンシャル・バリアに一部分は反発され、一部はp

-n 接合内 p 型層へ吸収され、p 層に接続している外部電極を通して外に出される。そのため、基板内で発生した電子・正孔対のほとんどは外部に取り出され、メモリセルを誤動作させることはなくなった。

#### 〔実施例〕

以下、実施例を通して本発明を更に詳しく説明する。

#### 実施例 1.

GaAs/A<sub>2</sub>GaAs ヘテロ接合を用いて npn 型 HBT と SBD を用いてメモリセルを形成した場合の例を第 1 図 (a)(b) を用いて説明する。

半絶縁性 GaAs 基板 10 中にホトレジスト (1.6 μm 膜厚) をマスク 2 に用いて選択的に Si イオンを 200 keV の加速電圧で  $3 \times 10^{13} \text{ cm}^{-2}$  のドーズ量イオン注入後、ホトレジストを除去後 SiO<sub>2</sub> を 3000 Å CVD 法で堆着し、800℃ 20 分の H<sub>2</sub> 雰囲気、アニールを行ない Si イオンを活性化し、n 型埋込み層 9 を形成した。続いて、SiO<sub>2</sub> を除去後、Be

イオンを 50 keV の加速電圧で、ホトレジストを用いて選択的に Si をイオン注入した場所に重ねて  $5 \times 10^{13} \text{ cm}^{-2}$  のドーズ量イオン注入し、ホトレジストを除去後、SiO<sub>2</sub> を CVD 法で

2000 Å 堆着させ、ランプアニール法で 950℃、10 秒間のアニールを行ない Be イオンを活性化し p 型埋込み層 8 を形成し p-n 接合を形成した。このとき、p 型埋込み層 8 及び n 型埋込み層 9 は、HBT 100 の n 型コレクタ層 12 (及びその引き出し部分)、ショットキー・バリア・ダイオード (SBD) 101 及び、コレクタ層 12 と SBD 101 の結合部分を平面的に最小限カバーする様に形成されている。又、p 型埋込み層 8、n 型埋込み層 9 の各々に制御電極を形成するため、その領域も確保する様に、イオン注入しである。

次に SiO<sub>2</sub> を除去後、表面を 300 Å 程度エッチングし、MBE (分子線エビタキシー装置) の準備室に入れ、基板加熱を行ないウェーハ表面の汚れを取り除いた。

更に、MBE 結晶成長層でアンドープ GaAs バッファ層 (~  $10^{14} \text{ cm}^{-3}$  レベルの p 層に通常なっている) 11 を 8000 Å 形成し、更に Si を  $2 \times 10^{13} \text{ cm}^{-3}$  程度含有する n 型 GaAs コレクタ層、12 を 6000 Å 形成した。続いて、Si を  $5 \times 10^{13} \text{ cm}^{-3}$  程度含有するコレクタ層 13 を 3000 Å 形成、更に Be を  $8 \times 10^{13} \text{ cm}^{-3}$  含有するベース層 14 を 2000 Å、Si を  $2 \times 10^{13} \text{ cm}^{-3}$  含有する n 型 A<sub>2-x</sub>Ga<sub>1-x</sub>As エミッタ層 (x ~ 0.3 程度) 15 を 2000 Å、同程度ドーピングレベルの n 型 GaAs 層 16 を 3000 Å 結晶成長した (第 1 図 (a))。

結晶成長層 12、13、14、15、16 は、通常の HBT を形成する構造であり、ここで例示した以外にエミッターベース間の A<sub>2</sub> 組成比を傾斜化或いは、ベース層中に有効的に電界を生じさせる様にして A<sub>2</sub> 組成比を傾斜化する等の手法を用いて HBT を高速化する手法は、本実施例においても有効である。

次に通常のプロセス工程を用いてドライエッチ

ング加工により、溝子間、分離するため基板中埋込み層 8 9 より深く 3 μm 程度の深さで SiO<sub>2</sub> の CVD 膜 33 を堆着させた。又、エミッタ電極 20、ベース電極 21、コレクタ電極 22、ドライ加工を用いて形成した。SBD は n コレクタ層 13 にゲートメタル (A<sub>2</sub>, Ti/Pt/Au、又は Mo/Au) 24 が直接形成することによって形成した。コレクタ層に接続する抵抗は、Poly Si を用いて表面に形成できるが、本断面図 (第 1 図 (b)) には示していない。又この抵抗はベース層 14 を利用しても形成することができる。又、p 型埋込み層 8、n 型埋込み層 9 に対する制御電極もドライエッチングを用いて形成した。

次に、メモリセルの一部分の平面図 (第 1 図 (c)) と断面図 (第 1 図 (d)) で、埋込み p 層 8 n 層 9 への制御電極 28、29 の様子を示す。平面図では p 型埋込み層 8、n 型埋込み層 9 を各々形成し、コレクタ部、SBD 部コレクタと SBD の結合部分を囲む様に形成し、α 線により発生

した電子・正孔の流入をp型埋込み層8, n型埋込み層9で防いでいる。又MBEによるエピ層27を全て取り除き基当中で溝掘りを行ない素子間分離層33を設ける。

又、配線1, 2, 3, 4, 5, 6はMo/Auを用いた。

この様なメモリセル構造を実現することで、従来の $\alpha$ 線ソフトエラー率を4桁低減できた。又、コレクタ層12と、埋込み層8, 9の間に完全に空乏化しているバッファ層11を形成しているので埋込み層8, 9による寄生容量は10%以下の増加であった。

本実施例では、 $\alpha$ 線により生成される電子・正孔対のバリア及び吸収層としてのp-n接合を基板内に選択的に形成したが、他の方法でも可能である。たとえば、基板10上にコレクタ層12と同じドーピングレベルで膜厚4000Åのn型埋込み層9を形成後、ベース層14と同じドーピングレベルで膜厚4000Åのp型埋込み層8を形成した後、エピ層11, 12, 13, 14, 15,

16を形成してもよい。

#### 実施例2.

本実施例では、2次元電子ガスをベース層に用いたpnp型2DEG-HBTに対して本発明を適用した場合の例を、第2図(a), (b)に示す。

まず、半絶縁性GaAs基板10中に選択的にp型埋込み層49, n型埋込み層48を形成した。即ち、収束イオンビーム(Focused ION Beam Method)法を用いて、Beイオンを100keVの加速電圧 $8 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で選択的にイオン注入後、1000℃, 5秒のランプアニールをN<sub>2</sub>雰囲気中で行いBeを活性化し、p型埋込み層49を形成した。

続いてSiイオンを同様に収束イオンビーム法で加速電圧70keV,  $3 \times 10^{13} \text{ cm}^{-2}$ のドーズ量をイオン注入し、900℃, 15秒のランプアニールを行ない、n型埋込み層48を形成した。次に超高真空中でウェーハの移動を行ない、MBE法を用いてアンドープGaAs層51, 52を2μm成長させた。この時通常これらの層51,

される2次元電子ガスにより形成される。

エミッタ層56及びベース層を形成する2次元電子の供給層であるn型AlGaAs層55とのp-n接合は、n型AlGaAs層中に、中性領域が残らない様に、膜厚、ドーピングレベルは設定する。

p-n接合の順序が実施例1と逆になっているのは、pnp2DEG-HBTであり、電子と正孔の役割が逆になっていることによっている。

又、実施例1と同様に埋込み層に対する制御電極を形成した。又、埋込みp層又はn層は、実施例1と同様にエピ層を用いても形成できる。

この様に、コレクタ層及び、SBDをp-n接合埋込み層で保護できたため、本メモリセルを用いて1Kbit SRAMを形成したところ埋込み層がない場合に比べて約5桁のソフトエラー率低減を達成できた。又、コレクタ層58と埋込み層48, 49の間に空乏化したバッファ層51, 52を挿入したことにより寄生容量を増加させることは殆んどなかった。

52は $10^{14} \text{ cm}^{-3}$ 以下のp-層にしている。しかし、目的に応じて、51をn-層、52をp-層に変えることも可能である。更に、収束イオンビーム法で、Beを加速電圧50keV、ドーズ量 $8 \times 10^{13} \text{ cm}^{-2}$ 注入し、850℃, 10秒のフラッシュアニールを行なった。次にもう一度MBE室にもどして、Beを $3 \times 10^{14} \text{ cm}^{-3}$ 含有するp-GaAs53を2500Å成長させ、さらに、Siを $2 \times 10^{18} \text{ cm}^{-3}$ 含有するn型

Al<sub>0.3</sub>Ga<sub>0.7</sub>As層55を500Å, Beを $5 \times 10^{18} \text{ cm}^{-3}$ 含有するAl<sub>0.3</sub>Ga<sub>0.7</sub>As層56を3000Å, 同程度のBeを含有するGaAs層57を3000Å形成した(第2図(a))。

続いて、実施例1と類似の方法で、ベース電極61、コレクタ電極62、エミッタ電極60p-n型GaAs層53へのショットキー電極64を形成した。素子間分離は溝掘り分離層33を実施例1と同様に用いた。

このトランジスタでは、ベース層はn型AlGaAs層55とp-GaAs層53の間に形成

特開昭63-6875 (5)

本実施例ではGaAs/A<sub>2</sub>GaAs系ヘテロ接合を用いて説明したが、他のヘテロ接合系、InP-InGaAsP、InGaAs/A<sub>2</sub>InAs、InP-InGaAs、GaAs/Ge、A<sub>2</sub>GaAs/Ge等のヘテロ接合系でも有効である。

本発明は、HBTのみならずホモ接合バイポーラトランジスタでも有効である。

又、2次元正孔ガスをベースに用いるnpn型2次元ホールガス-HBTでも本実施例に示す様なα線ソフトエラー対策が有効である。

又、本実施例では単一ヘテロ接合による2DEGの場合を示したが、ダブルヘテロ構造を用いて2DEGの濃度を約2倍にすることも可能である。

〔発明の効果〕

本発明によれば、HBTのコレクタ層及びショットキーバリアダイオード部分を、p-n接合半導体層を基板との間に形成して保護したので、従来のメモリセルに比べてα線によるソフトエラー率が約4～5桁も小さくすることができた。又、

係るp-n接合領域を基板に選択的に形成した場合にコレクタ-基板間寄生容量を大きくすることがない。

4. 図面の簡単な説明

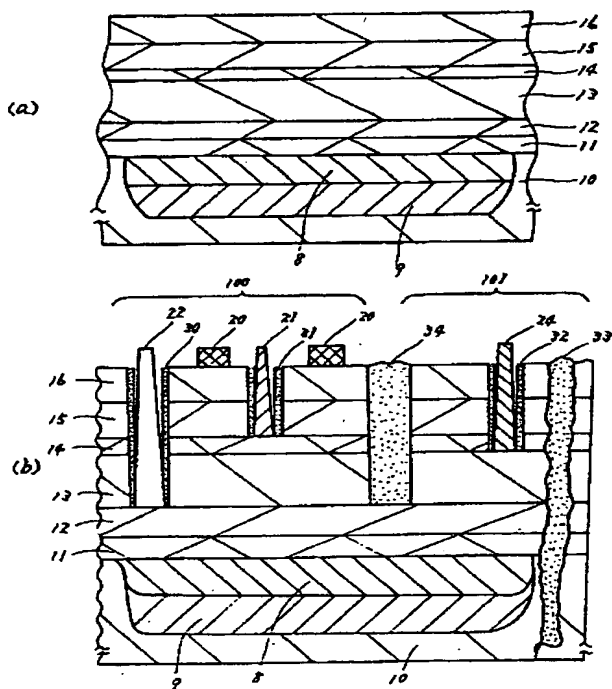
第1図は、本発明の実施例1を示す断面図又は平面図である。

第2図は本発明の実施例2を示す断面図である。

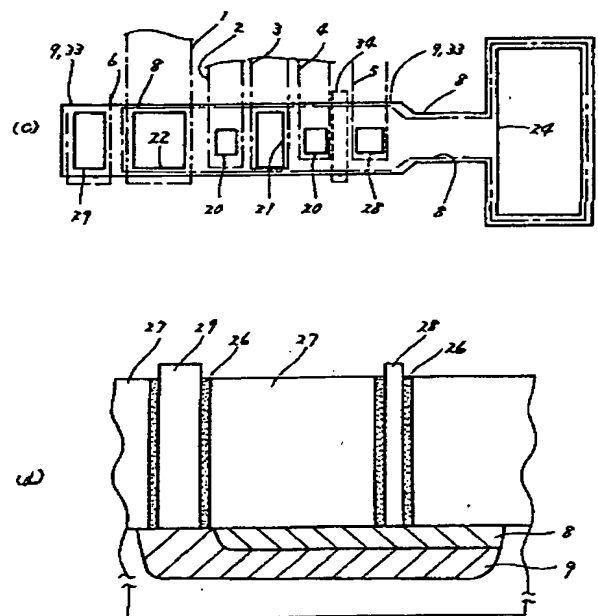
8, 49…p型埋込み層、9, 48…n型埋込み層、14, 54, 55…ベース層、54…2次元電子ガス、15…n型A<sub>2</sub>GaAs (エミッタ)、16…n型GaAs、11, 51, 52…アンダーバンプアーGaAs、58…p型GaAsコレクタ層、12…n型GaAsコレクタ層、24, 64…ショットキー電極、20, 60…エミッタ電極、22, 62…コレクタ電極、21, 61…ベース電極、28, 29…制御電極、33…素子間分離絶縁物。

代理人 弁理士 小川勝男

第1図

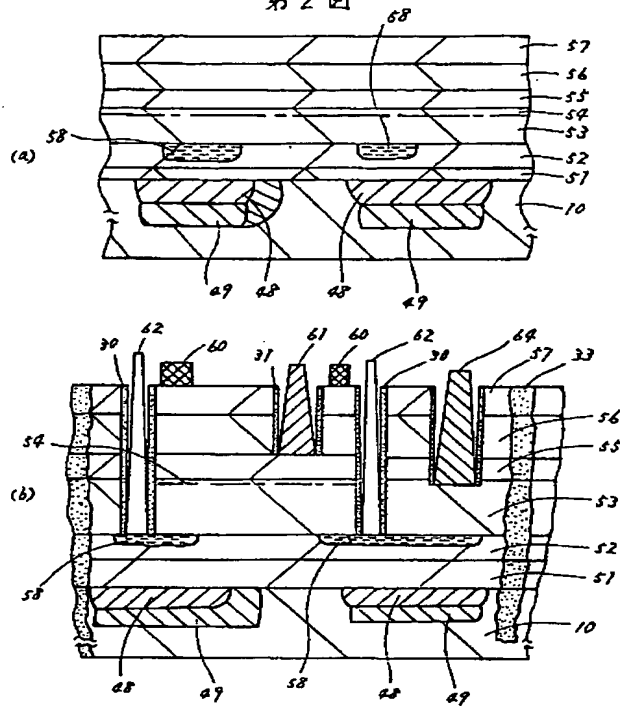


第1図



特開昭 63-6875 (6)

第 2 図





(19) Japan Patent Office (JP)

(11) Kokai number

(12) Unexamined Patent  
Application Publication (A)

S63-6875 (1988)

(51) Int.Cl.<sup>4</sup>  
H 01 L 29/72  
27/06  
27/10  
29/205  
29/48Identification symbol  
101  
491JPO file number  
8526-5F  
B-7925-5F  
8624-5F  
8526-5F  
D-7638-5F

(43) Publication date: 12 January 1988

Request for examination: Not yet requested Number of claims: 1 (6 pages total)

(54) Title of invention: Semiconductor device

(21) Application number: S61-149504 (1986)  
(22) Application date: 27 June 1986

(72) Inventor: Toshiyuki USAGAWA

Central Research Laboratory, Hitachi Ltd.  
1-280 Higashi Koigakubo, Kokubunji, Tokyo  
Central Research Laboratory, Hitachi Ltd.

(72) Inventor: Yasunari UMEMOTO

1-280 Higashi Koigakubo, Kokubunji, Tokyo  
Central Research Laboratory, Hitachi Ltd.

(72) Inventor: Kazuo NAKAZATO

1-280 Higashi Koigakubo, Kokubunji, Tokyo  
Central Research Laboratory, Hitachi Ltd.

(72) Inventor: Takeyuki HIRUMA

1-280 Higashi Koigakubo, Kokubunji, Tokyo  
4-6 Kanda Surugadai, Chiyoda-ku, Tokyo  
(and 1 other)

(71) Applicant: Hitachi Ltd.

(74) Representative: Katsuo OGAWA, Patent Attorney

## SPECIFICATION

## 1. Title of the Invention

Superconductor device

## 2. Claims

1. 少なくとも1つの半導体素子と、該半導体素子の底部を構成する第1の半導体層と反対の導伝型を有しかつ該第1の半導体層の下部に設けられた第2の半導体層と、該第1の半導体層と同じ導伝型を有しかつ該第2の半導体層の下部に接するように設けられた第3の半導体層とを有することを特徴とする半導体装置。

2. 前記半導体素子は、バイポーラ・トランジスタであり、前記第1の半導体層はコレクタ層であることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 前記半導体素子は、ショットキーバリアダイオード (SBD) であることを特徴とする特許請求の範囲第1項記載の半導体装置。

4. 前記第1の半導体層と前記第2の半導体層との間には、不純物濃度が  $10^{15}\text{cm}^{-3}$  以下である第4の半導体層が形成されていることを特徴とする特許請求の範囲第1項ないし第3項記載の半導体装置。

5. 前記第2の半導体層と前記第3の半導体層の少なくとも一方には、担体を制御する電極が形成されていることを特徴とする特許請求の範囲第1項ないし第4項記載の半導体装置。

6. 前記第2の半導体層および第3の半導体層は基板内に選択的に形成されていることを特徴とする特許請求の範囲第1項ないし第5項記載の半導体装置。

## 3. Detailed Description of the Invention

## Field of the Invention

The present invention relates to a semiconductor device, and in particular relates to a semiconductor device that is suitable for preventing alpha ray soft errors from occurring.

## Description of the Related Art

Conventionally, the desired constitution of heterojunction bipolar transistors (HBT) employing a gallium arsenide (GaAs) or aluminium gallium arsenide (AlGaAs) heterojunction has been obtained by means of the molecular beam epitaxy (MBE) method, as seen on page 99 of the 1985 IEEE GaAs IC Symposium, in which, after the sequential crystalline growth of an n type collector layer, p type base layer, and n type emitter layer on a semi-insulating GaAs substrate, an electrode process etc. is carried out thereon.

## Problems to be Resolved by the Invention

The present inventors employed the conventional art described above and constructed 1-16K bit static random access memory (1-16K SRAM) with Schottky barrier diode (SBD) load-switching memory cells, using a typical ECL (emitter coupled logic) circuit. Due to the alpha ray particles of the multiple mega electron volts (multiple MeVs) being primarily emitted from the SRAM package, a portion of the information stored in the memory was lost. It was discovered that alpha ray soft errors occur similarly in Si-MOSFET SRAM and in SRAM that employs Si bipolar transistors.

As a result of determining the cause of alpha ray soft errors, the following facts became clear.

The alpha rays of the multiple MeVs being emitted from packages etc. stop after reaching a distance of at least  $10\mu\text{m}$  from the surface and generate approximately  $10^3$  electrons and hole pairs. Furthermore, the charge pair generation rate is greater directly before energy loss due to conflict with Ga and As atoms is stopped,

compared to the period of high energy directly after incidence, similar to an event in which Si is employed (see, for example, D.S. Yaney et al, IEEE Ed. 26, No. 11977, pp. 10-16).

Specifically, a large portion of the load generated due to alpha rays occurs in the semi-insulating GaAs substrates formed of semiconductor elements. The charge pairs generated in these substrates spread diffusely, but when they reach the depletion layer between the semi-insulating GaAs substrate and n type collector, the electrons are drawn into the collector layer due to the electrical field in the depletion layer.

In contrast, holes are repelled by means of the potential barrier.

Because n type collector layers are nodes that store memory cell memory potential, in the event of an off-transistor collector, the base potential of the on-transistor decreases, and the on-transistor faces towards off. This is the primary cause of information destruction.

Further, because actual memory cells include resistance memory cells (excluding transistors), SBD memory cells, etc., noise current from the alpha rays flows into the non-transistor portions thereof, and it is thought that there are cases in which this affects the collector potential of the memory cell or transistor.

Specifically, the necessity for some sort of measures against alpha ray soft errors when applying HBT to actual SRAM arose.

The present invention aims to prevent alpha ray soft errors from occurring when applying HBT or other semiconductor elements to actual SRAM etc.

#### Means for Solving the Problems

The aim of the present invention described above was achieved by inserting GaAs containing a p-n junction between the collector layer and semi-insulating GaAs substrate, and inserting a semiconductor layer containing a p-n junction underneath the SBD (Schottky barrier diode) in the event of an npn type HBT. This p-n junction is typically applied a reverse bias and used in a memory cell. It is also possible to selectively form this p-n junction in the GaAs wafer by means of an ion-implantation technique, etc. Further, in the event of a pnp type HBT, an n-p junction is given a negative bias and inserted between the collector layer and substrate.

#### Operation of the Invention

By employing such a constitution, the flowing of electrons and hole pairs, which are formed in the substrate due to alpha rays, into the collector or SBD is stopped. Specifically, the atoms are absorbed into the n layer of the p-n junction, and removed to the exterior from electrodes (connected to the n type layer) formed on the exterior. Meanwhile, a portion of the holes are repelled to the weak potential barrier of the n type layer and semi-insulating substrate, while another portion is absorbed into the p type layer in the p-n junction, and removed to the exterior through the exterior electrodes connected to the p layer. As a result, nearly all electrons and hole pairs generated in the substrate are removed to the exterior, and hence no longer cause the memory cell to malfunction.

#### Working Examples

The present invention shall now be further described according to various embodiments.

#### Embodiment 1

Embodiment 1, in which a memory cell was formed using a GaAs/AlGaAs heterojunction and npn type HBT and SBD, shall be described with reference to FIG 1 (a) and (b).

After Si ions were selectively implanted at an accelerating voltage of 200keV and dose volume of  $3 \times 10^{13} \text{cm}^{-2}$  in a semi-insulating GaAs substrate 10 by using a photo resist (film thickness:  $1.6 \mu\text{m}$ ) as a mask, the photo resist was removed, and  $\text{SiO}_2$  was deposited at a thickness of 3000Å with the CVD method.

Annealing was then performed in an  $\text{H}_2$  atmosphere for 20 minutes at 800°C and the Si ions were activated to form an n type buried layer. 9. Then, after removing the  $\text{SiO}_2$ , Be ions were selectively implanted at an accelerating voltage of 50keV and dose volume of  $5 \times 10^{13} \text{cm}^{-2}$  in a position wherein Si ions are implanted by using the photo resist. After the photo resist was removed, and  $\text{SiO}_2$  was deposited at a thickness of 2000Å with the CVD method. Annealing was then performed with the lamp annealing method for 10 seconds at 950°C and the Be ions were activated to form a p type buried layer 8, whereby a p-n junction was formed. The p type buried layer 8 and n type buried layer 9 were so formed as to cover at least the n type collector layer 12 (and the extending portion thereof) of an HBT 100, a Schottky barrier diode (SBD) 101, and the connecting portion of the collector layer 12 and the SBD 101 in a planar fashion. Further, in order for control electrodes to be formed on both the p type buried layer 8 and n type buried layer 9, ions were implanted in such a way that areas therefor were secured.

Next, after the  $\text{SiO}_2$  was removed, the surface was etched to a thickness of 300Å, and the device was placed into an MBE (molecular beam epitaxy) preparation room. Substrate heating was performed, and smudges on the wafer surface were removed.

An undoped GaAs buffer layer (a p layer at a level of  $\sim 10^{14} \text{cm}^{-3}$  is typical) 11 was formed with MBE crystalline growth at a thickness of 8000Å, and an n type GaAs corrector layer 12 containing  $2 \times 10^{13} \text{cm}^{-3}$  Si was formed at a thickness of 6000Å. Next, a corrector layer 13 containing  $5 \times 10^{15} \text{cm}^{-3}$  Si was formed at a thickness of 3000Å, a base layer 14 containing  $8 \times 10^{15} \text{cm}^{-3}$  Be was formed at a thickness of 2000Å, and an n type  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  emitter layer ( $x \approx 0.3$ ) 15 containing  $2 \times 10^{13} \text{cm}^{-3}$  Si was formed at a thickness of 2000Å. An n type GaAs layer 16 was then formed by means of crystalline growth at a thickness of 3000Å with a comparable doping level (FIG 1 (a)).

Crystalline growth layers 12, 13, 14, 15 and 16 have constitutions formed of typical HBT, and it is beneficial, in devices other than that exemplified in the present embodiment, to employ a means for grading the Al mixed crystal between the emitter bases, or to employ a means for effectively generating an electric field within the base layer and grading the Al mixed crystal, in order to speed up the HBT. This is beneficial in the present embodiment as well.

Next, using a typical process method, an  $\text{SiO}_2$  CVD film 33 was deposited by means of a dry etching process at a depth of  $3 \mu\text{m}$ , deeper than the buried layers 8 and 9 within the substrate, in order to interelementally separate. An emitter electrode 20, base electrode 21, and collector electrode 22 were also formed by means of a dry process. The SBD was formed by means of directly forming a gate metal (Al, Ti/Pt/Au, or Mo/Au) 24 on the n collector layer 13. The resistor connected to the collector layer can be formed on the surface using Poly Si, but this is not shown in the present cross-sectional view (FIG 1 (b)). This resistor can also be formed by using the base layer 14. The control electrodes facing the p type buried layer 8 and n type buried layer 9 can also be formed by means of dry etching.

The control electrodes 28 and 29 for buried p layer 8 and n layer 9 are shown in the partial plan view (FIG 1 (c)) and cross-sectional view (FIG 1 (d)) of the memory cell. As shown in the plan view, p type buried layer 8 and n type buried layer 9 are respectively formed in such a way that they surround the collector portion, SBD portion collector and SBD junction portion, and the inflow of atoms and holes generated by alpha rays is prevented by means of the p type buried layer 8 and n type buried layer 9. Epilayer 27, formed by means of MBE, is then completely removed, groove cutting is performed, and interelemental separator layer 33 is provided.

Mo/Au was used for wires 1, 2, 3, 4, 5 and 6.

By realizing a memory cell with such a constitution, the rate of conventional alpha ray soft errors was decreased by 4 digits. Further, because a completely depleted buffer layer 11 was formed between collector layer 12 and buried layers 8 and 9, the parasitic capacitance due to the buried layers 8 and 9 increased by less than

10%.

Although a barrier against atoms and holes generated by alpha rays and a p-n junction as an absorber layer are selectively formed in the substrate in the present embodiment, other methods are also possible. For example, it is also possible to form epilayers 11, 12, 13, 14, 15 and 16 after forming an n type buried layer 9 on substrate 10 at a thickness of 4000Å with the same doping level as collector layer 12, and a p type buried layer 8 at a thickness of 4000Å with the same doping level as base layer 14.

#### Embodiment 2

The present embodiment, wherein the present invention was applied to a pnp type 2DEG-HBT using a two-dimensional electron gas for the base layer, is shown in FIG 2 (a) and (b).

First, a p type buried layer 49 and n type buried layer 48 were selectively formed within semi-insulating GaAs substrate 10. Specifically, by using the focused ion beam method, after Be ions were selectively implanted at an accelerating voltage of 100keV and dose volume of  $8 \times 10^{13} \text{cm}^{-2}$ , lamp annealing was performed in a  $\text{N}_2$  atmosphere for 5 seconds at 1000°C and the Be ions were activated to form a p type buried layer 49.

Then, by using the focused ion beam method in the same fashion, Si ions were implanted at an accelerating voltage of 70keV and dose volume of  $3 \times 10^{13} \text{cm}^{-2}$ , lamp annealing was performed for 15 seconds at 900°C, and an n type buried layer 48 was formed. Next, the wafer was moved within an ultrahigh vacuum.

Using the MBE method, undoped GaAs layers 51 and 52 were then grown to a thickness of 2µm. These typical layers 51 and 52 were then made into p<sup>+</sup> layers at  $10^{14} \text{cm}^{-3}$  or less. It is possible, however, to convert 51 to an n<sup>+</sup> layer or 52 to a p<sup>+</sup> layer, in accordance with the purpose of the device. Using the focused ion beam method, Be was implanted at an accelerating voltage of 50keV and dose volume of  $8 \times 10^{13} \text{cm}^{-2}$ , and flash annealing was performed for 10 seconds at 850°C. It was then returned once more to the MBE room, and p<sup>+</sup> GaAs 53 containing  $3 \times 10^{14} \text{cm}^{-3}$  Be was grown to a thickness of 2500Å. Then, an n type  $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$  layer 55 containing  $2 \times 10^{13} \text{cm}^{-3}$  Si was formed at a thickness of 500Å, an  $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$  layer containing  $5 \times 10^{13} \text{cm}^{-2}$  Be was formed at a thickness of 3000Å, and a GaAs layer 57 containing the same amount of Be was formed (FIG 2 (a)).

Next, using a method resembling that used in embodiment 1, a base electrode 61, collector electrode 62, emitter electrode 60, and Schottky electrode 64 for p<sup>+</sup> type GaAs layer 53 were formed. For interelemental separation, groove cutting and separator layer 33 were employed as they were in embodiment 1.

In this transistor, the base layer is formed by means of a two-dimensional electron gas formed between n-type AlGaAs layer 55 and p<sup>+</sup> GaAs layer 53.

The film thickness and doping level of the p-n junction between emitter layer 56 and n type AlGaAs layer 55, which is a two-dimensional electron supply layer and forms the base layer, is configured in such a way that there is no neutral region remaining in the n type AlGaAs layer.

The inversion of the sequence of the p-n junction from that of embodiment 1 is due to the fact that it is a pnp 2DEG-HBT, and that the role of the electrons and holes is inverted.

As in embodiment 1, control electrodes facing the buried layers

were formed. Further, as in embodiment 1, buried p layer or n layer can be formed using an epilayer.

In this manner, because a collector layer and SBD were secured with the p-n junction layers, a 1K bit SRAM formed with this memory cell has a rate of alpha ray soft errors approximately 5 digits lower than one without buried layers. Further, due to the insertion of depleted buffer layers 51 and 52 between collector layer 58 and buried layers 48 and 49, there was almost no increase in parasitic capacitance.

Although the present embodiment has been described with a GaAs/AlGaAs heterojunction, other heterojunctions, such as InP-InGaAsP, InGaAs/AlInAs, InP-InGaAs, GaAs/Ga or AlGaAs/Ga, are also effective.

The present invention is effective not only as an HBT, but also as a homojunction bipolar transistor.

Further, an npn type two-dimensional hole gas HBT is also effective for the two-dimensional hole gas used for the base layer as a countermeasure for the alpha ray soft errors described in the present embodiment.

Further, although the present embodiment has been described with a single heterojunction 2DEG, it is possible to approximately double the 2DEG concentration by using a double heterojunction.

#### Effect of the Invention

According to the present invention, because an HBT collector layer and Schottky barrier diode are formed and secured between a p-n junction semiconductor layer and substrate, the rate of alpha ray soft errors is reduced by approximately 4 to 5 digits compared with conventional memory cells. Further, in the event that a p-n junction area is selectively formed in the substrate, there is no increase in the parasitic capacitance in the collector substrate.

#### 4. Brief Description of the Drawings

FIG 1 is cross-sectional views and plan views showing embodiment 1 according to the present invention.

FIG 2 is cross-sectional views showing embodiment 2 according to the present invention.

- 8, 49: p type buried layer
- 9, 48: n type buried layer
- 14, 54, 55: base layer
- 54: two-dimensional electron gas
- 15: n type AlGaAs (emitter)
- 16: n type GaAs
- 11, 51, 52: undoped buffer GaAs
- 58: p type GaAs collector layer
- 12: n type GaAs collector layer
- 24, 64: Schottky electrode
- 20, 60: emitter electrode
- 22, 62: collector electrode
- 21, 61: base electrode
- 28, 29: control electrode
- 33: interelemental separation insulator

Representative: Katsuo OGAWA, Patent Attorney [seal]

FIG 1

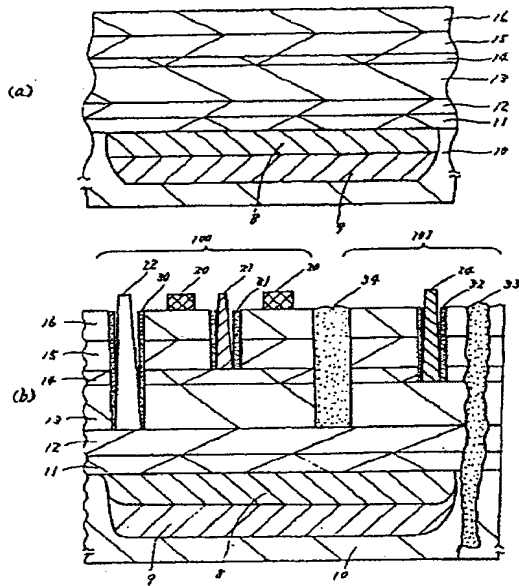


FIG 1

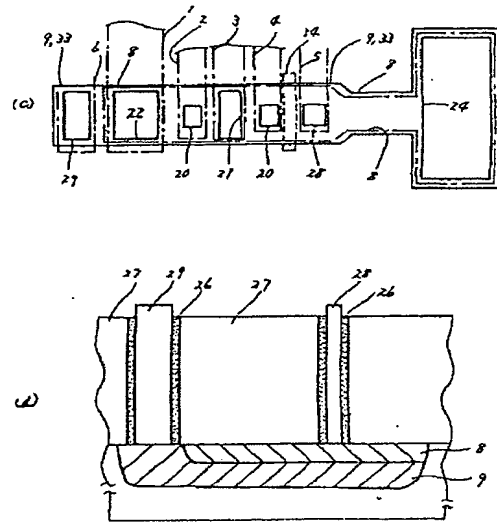


FIG 2

